

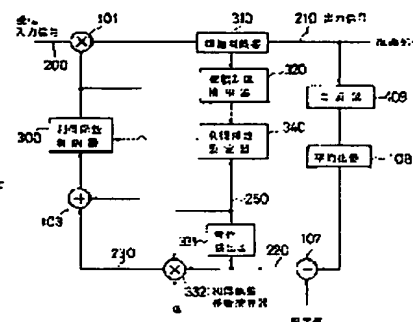
(11)Publication number : 05-041623
(43)Date of publication of application : 19.02.1993

H03G 3/20
H03G 3/30

(71)Applicant : OKI ELECTRIC IND CO LTD
(72)Inventor : YOSHIDA TATSUMASA
MIYAMOTO RYOICHI

(57)Abstract:

CONSTITUTION: The circuit is provided with a multiplier 101 varying a reception signal, an amplitude limiter 310 limiting the amplitude of the output, and a gain coefficient setting device 340 detecting an overflow by the amplitude limiter 310 to obtain the gain coefficient. When the amplitude of the output of the multiplier is limited at the input of a reception signal, the gain coefficient is set again in response to the rate of the amplitude limit. Thus, the occurrence of the overflow of the result of multiplication is enough to be in a short time in the multiplier means multiplying the input signal and the gain coefficient and the automatic gain control circuit has an excellent response.



[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Best Available Copy

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-41623

(43)公開日 平成5年(1993)2月19日

(51)Int.Cl.⁵H 0 3 G 3/20
3/30

識別記号

庁内整理番号

C 7239-5 J
B 7239-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-195387

(22)出願日 平成3年(1991)8月5日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 吉田 達正

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 宮本 良一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

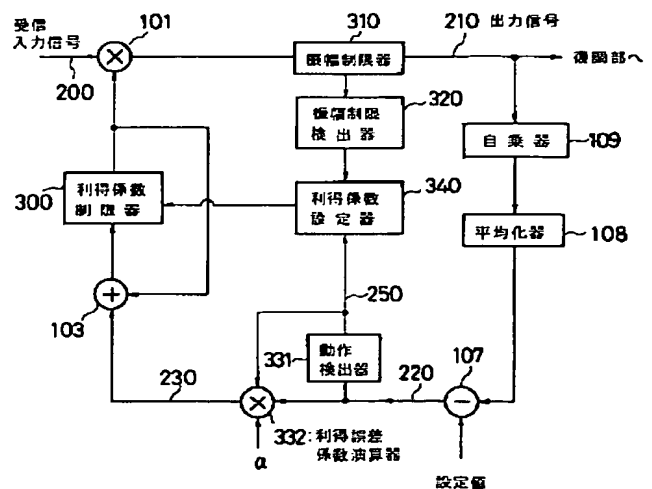
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 自動利得制御回路

(57)【要約】

【目的】 復調器に使用する自動利得制御回路において、入力信号と利得係数との乗算結果のオーバーフローの発生が短時間で済むようにし応答をよくする。

【構成】 受信信号を可変する乗算器101と、その出力を振幅制限する振幅制限器310と、振幅制限器310でのオーバーフローを検出して利得係数を求める利得係数設定器340とを備えている。受信信号入力時に乗算器出力が振幅制限されたら、その振幅制限された割合に応じて利得係数を設定し直す。そのため、入力信号と利得係数を乗算する乗算手段において、乗算結果のオーバーフローの発生が短時間で済み自動利得制御回路の応答がよくなる。



本発明の自動利得制御回路のブロック図

【特許請求の範囲】

【請求項1】 受信信号に関する利得係数を制限して保持する利得係数制限手段と、
当該利得係数制限手段から与えられた利得係数に応じて、受信入力信号の振幅を可変する乗算手段と、
当該乗算手段からの出力信号の振幅を制限をする振幅制限手段と、
当該振幅制限手段でのオーバーフローした値を検出し、その値に応じた利得係数を求める、振幅制限検出・利得係数設定手段と、
前記振幅制限手段からの出力信号を自乗平均化し、所定の設定値との誤差を求めて誤差信号を出力する誤差検出手段と、
前記誤差信号と予め定められた定数とに応じて利得誤差係数を求め、前記利得係数制限手段の前の出力と当該利得誤差係数の加算値を、次の利得係数として前記利得係数制限手段へ与える利得係数変更手段と、
前記誤差信号が予め定められた値を超えたことを検出して、前記振幅制限検出・利得係数設定手段の出力を前記振幅制限手段に設定し、且つ、前記利得係数変更手段の動作を開始させる動作検出手段とを備え、
前記振幅制限手段の出力を復調部への出力信号とすることを特徴とした自動利得制御回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明はデジタル信号処理装置にて構成される復調器に使用する自動利得制御回路に関するものである。

【0002】

【従来の技術】 従来のデジタル信号処理装置にて構成される自動利得制御回路の構成としては、特開平2-237207に開示されているものがあり、図2にこの文献の回路構成を示し動作を説明する。図2に示すデジタルAGC制御回路において、受信入力信号200は、乗算器101にて加算器103の出力と乗算され、出力信号210として出力される。同時に出力信号210は、自乗器109に輸入され自乗され、平均化器108に出力される。平均化器108では、自乗された出力信号を平均化し、自乗平均値を減算器107の入力信号とし、所定の設定値から自乗平均値を減じた値を減算器107より誤差信号として出力する。補正部150は、減算器107からの誤差信号を乗算器105と絶対値部106に輸入し、絶対値部106に輸入された誤差信号は、絶対値化され乗算器105に輸入される。

【0003】 乗算器105では、誤差信号と絶対値誤差信号を乗算し、乗算器104に輸入される。乗算器104のもう一つの入力には所定の係数 α が輸入され、乗算した結果を加算器103に輸入する。加算器103のもう一つの入力は、レジスタ102の出力が輸入される。加算器103の出力は、レジスタ102の出力と乗算器

101の出力に接続され、レジスタ102において加算器103の出力が保存される。乗算器101では加算器103の出力を利得係数として受信入力信号200に乗算し出力信号210を出力する。この例では、誤差信号を自乗という非線形動作を行なうことにより、出力信号レベルと所望の設定値との差が大きいとき、大きな利得の制御量が得られるようにしている。

【0004】

【発明が解決しようとする課題】 しかしながら、この例のデジタルAGC制御回路では、固定小数点演算の場合に発生しうる乗算時のオーバーフローを防止するための対策がなく、また、復調器の受信信号待ち状態時に無信号状態が続くと利得係数が大きくなり、この状態で、受信信号が高レベルで入力される場合、入力信号と利得係数を乗算する乗算手段において、乗算結果のオーバーフローが発生し出力信号の値が変化し、自動利得制御回路の応答が遅くなる欠点がある。したがって、本発明の目的は、乗算結果のオーバーフローの発生が短時間で済む自動利得制御回路を提供することにある。

【0005】

【課題を解決するための手段】 本発明は前記の問題を解決するために以下の手段を備えている。即ち、受信信号に関する利得係数を制限して保持する利得係数制限手段と、利得係数制限手段から与えられた利得係数に応じて受信入力信号の振幅を可変する乗算手段と、この乗算手段からの出力信号の振幅を制限をする振幅制限手段とを備えている。また、振幅制限手段でのオーバーフローした値を検出し、その値に応じた利得係数を求める振幅制限検出・利得係数設定手段と、振幅制限手段からの出力信号を自乗平均化し所定の設定値との誤差を求めて誤差信号を出力する誤差検出手段と、この誤差信号と予め定められた定数とに応じて利得誤差係数を求め利得係数制限手段の前の出力とこの利得誤差係数の加算値を、次の利得係数として利得係数制限手段へ与える利得係数変更手段とを備えている。更に、誤差信号が予め定められた値を超えたことを検出して、振幅制限検出・利得係数設定手段の出力を振幅制限手段に設定し、且つ、利得係数変更手段の動作を開始させる動作検出手段とを備えている。

【0006】

【作用】 以上の構成において、受信信号待ち状態から受信信号有の状態となり、誤差検出手段の出力である誤差信号が予め定められた値を超えたことを動作検出器が検出し、また、振幅制限検出・利得係数設定手段がオーバーフローを検出すると、振幅制限検出・利得係数設定手段の出力を振幅制限手段に設定し、且つ、利得係数変更手段の動作を開始させる。受信入力信号が振幅制限されても、振幅制限検出・利得係数設定手段が、動作開始時に、その振幅制限された割合に応じて利得係数を利得係数制限手段に設定し直すため、受信入力信号と利得係数

を乗算する乗算手段において乗算結果のオーバーフローが発生しずらくなり、自動利得制御回路の応答がよくなる。

【0007】

【実施例】図1は本発明の自動利得制御回路の実施例を示す構成図である。図1において、101は乗算器、300は利得係数制限器、310は振幅制限器、320と340とは振幅制限検出・利得係数設定手段を構成するものであって320は振幅制限検出器、340は利得係数設定器、107と108と109とは誤差検出手段を構成するものであって109は自乗器、108は平均化器、107は減算器、332と103とは利得係数変更手段を構成するものであって332は利得誤差係数演算器、103は加算器、331は動作検出器である。

【0008】図1の自動利得制御回路の動作の大略を説明するに、送信受信切り替え信号などによって復調器が受信待ちにされた状態では、利得制限器300に比較的大きい初期値が設定されたままであり、次に受信信号有の状態となり、誤差信号220が予め定められた値を越えたことを動作検出器331が検出したら、利得係数設定器340による利得係数の設定し直し、あるいは、利得誤差係数演算器332と加算器103とによる利得係数の更新が行われ、受信信号がなくなり、利得制限器300の利得係数が一定の大きさに大きくなったら、受信待ちと同様の初期状態に復帰するものである。

【0009】次に、図1に沿って、自動利得制御回路の動作を説明する。受信入力信号200は、乗算器101にて、前回（1サンプルあるいは数サンプル前の）の利得係数制限器300の出力と乗算され、乗算結果が振幅制限器310に入力される。振幅制限器310では、乗算器101からの乗算結果を所定の振幅値内に制限して出力される。振幅制限検出器320では、振幅制限器310でのオーバーフローの検出を行い、オーバーフローを起こした場合にはオーバーフローした桁数を利得係数設定器340に出力し、利得係数設定器340では、オーバーフロー桁数に応じた利得係数を計算する。

【0010】また、振幅制限器310からの出力信号210は、復調部（図示せず）に出力されると共に、自乗器109に入力され、自乗されて平均化器108に出力される。平均化器108では、自乗された出力信号を平均化した自乗平均値を減算器107に出力し、所定の設定値から自乗平均値を減じた値を減算器107より誤差信号220として出力する。動作検出器331は、誤差

信号220の値が所定の値を越えたことを検出して動作開始信号250を出力し、利得誤差係数演算器332の動作を開始させるとともに、利得係数設定器340の出力を利得係数制限器300に設定させる。乗算器332は、動作開始信号250により動作を開始し、誤差信号220と所定の定数 α を乗算し、利得誤差係数230を加算器103に出力する。

【0011】利得係数設定器340は、動作開始信号250を受けたとき、オーバーフロー桁数に対応した利得係数を出力し、利得係数制限器300の利得係数の変更を行ない動作を停止する。加算器103は、利得誤差係数230と利得係数制限器300の前の利得係数を加算し、新しい利得係数を利得係数制限器300に出力する。利得係数制限器300では、利得係数の最大値、最小値を調べ、利得係数を所定の範囲内に制限する。利得係数制限器300からの利得係数は、乗算器101に入力され、乗算器101に入力される受信入力信号200の振幅値が制御される。

【0012】

【発明の効果】以上説明したように本発明によれば、動作開始時に、振幅制限検出手段でのオーバーフロー値に応じた利得係数の値を求め、その振幅制限された割合に応じて利得係数を再設定するため、受信信号入力時に乗算器出力が振幅制限されても、入力信号と利得係数を乗算する乗算手段における乗算結果のオーバーフローの発生が短時間ですみ自動利得制御回路の応答がよくなる。

【図面の簡単な説明】

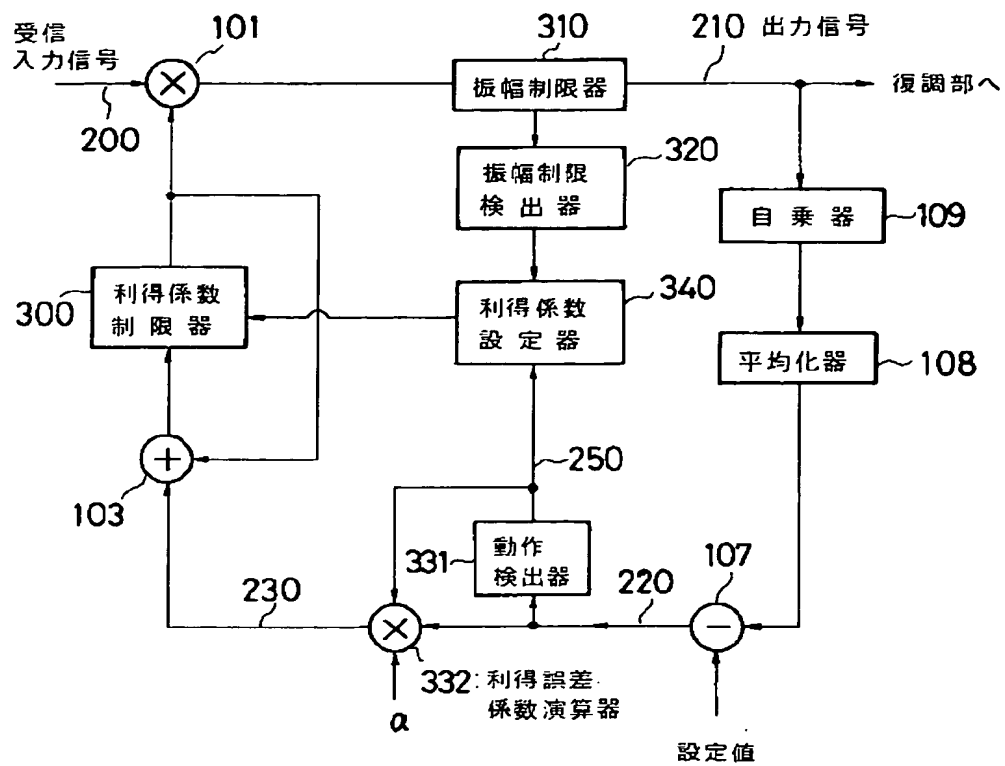
【図1】図1は本発明の一実施例を示すブロック図

【図2】図2は従来技術の説明図

【符号の説明】

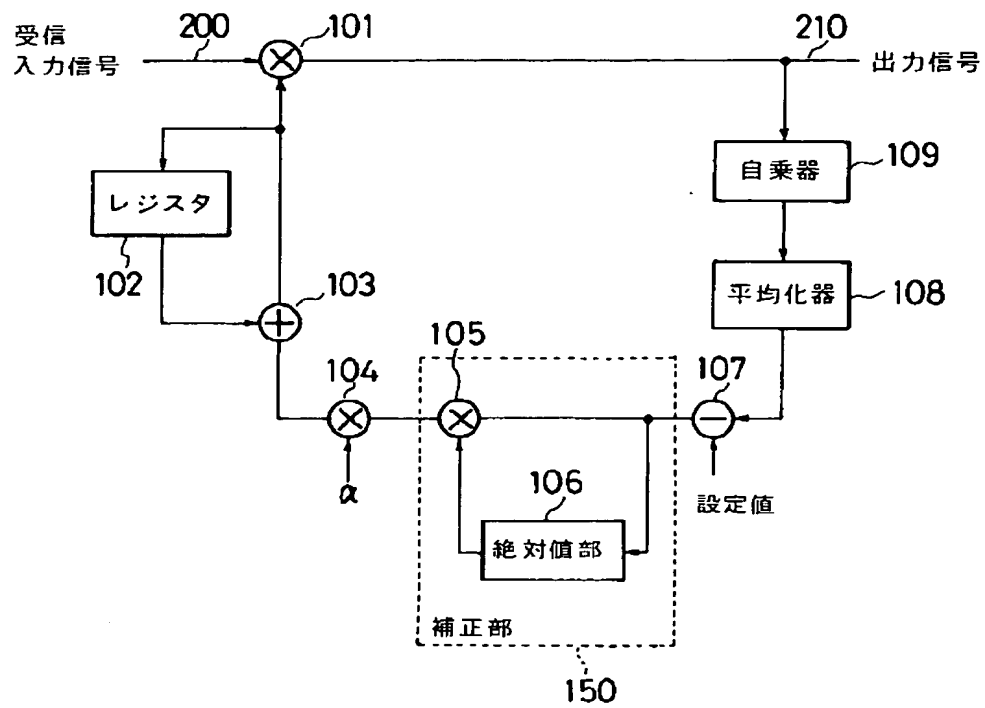
101	乗算器
103	加算器
107	減算器
108	平均化器
109	自乗器
220	誤差信号
230	利得誤差係数
300	利得係数制限器
310	振幅制限器
320	振幅制限検出器
331	動作検出器
332	利得誤差係数演算器
340	利得係数設定器

【図1】



本発明の自動利得制御回路のブロック図

【図2】



従来技術の説明図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.